



Received: 2024/07/29  
Revised: 2024/08/08  
Accepted: 2024/09/26  
Published: 2024/09/30

**\*Corresponding Author:**

**Seon-Jeong Hwang**  
PGM RF & IIR Seeker R&D Lab, LIG Nex1  
333 Pangyo-ro, Bundang-gu, Seongnam-si,  
Gyeonggi-do, 13488, Republic of Korea  
Tel: +82-31-326-9305  
Fax: +82-31-326-9007  
E-mail: seonjeong.hwang@lignex1.com

**Abstract**

본 논문에서는 grayscale 영상을 BT.656 프로토콜로 변환하였다. 우선, BT.656 프로토콜의 horizontal 데이터 프레임 구조를 구성한다. 이때, line에 맞게 EAV와 SAV를 계산하여 프레임을 생성한다. 이후, DDR에서 현재 프레임에 맞는 영상을 불러온 후 해당 영상을 YCbCr 형식으로 변환한다. 영상이 grayscale이므로, YCbCr 1 픽셀을 Ycb, Ycr 2픽셀로 나누어 horizontal 해상도를 2배로 늘렸다. 생성된 프레임과 변환된 영상을 합하여 BT.656 프로토콜 영상을 출력한다. 출력된 영상을 DAC를 이용하여 analog로 출력하였다.

This study convert Grayscale Video to BT.656 Protocol. First, construct BT.656 protocol's horizontal data frame. At this time, the frame is created by calculating EAV and SAV according to the line. Afterwards, the video matching the current frame is loaded from ddr and the video is converted to YCbCr format. Since Video is grayscale, the horizontal resolution is doubled by dividing 1 pixel YCbCr into 2 pixels Ycb and Ycr. Combine the generated frame and converted video to output BT.656 protocol video. The video is output as analog using DAC.

**Keywords**

ITU-R BT.656,  
병렬처리(Parallel Processing),  
실시간 영상처리(Real-Time Video Processing),  
FPGA

**Acknowledgement**

이 논문은 2024년도 한국해군과학기술학회  
하계학술대회 발표 논문임

# FPGA를 이용한 실시간 Grayscale 영상의 BT.656 프로토콜 변환 설계

## Design of Converting Real Time Grayscale Image to BT.656 Protocol Using FPGA

황선정<sup>1\*</sup>, 박성현<sup>1</sup>, 유연덕<sup>1</sup>, 김홍락<sup>2</sup>

<sup>1</sup>LIG넥스원 PGM탐색기연구소 선임연구원

<sup>2</sup>LIG넥스원 PGM탐색기연구소 수석연구원

Seon-Jeong Hwang<sup>1\*</sup>, Sunghyun Park<sup>1</sup>, Yeondeok Yoo<sup>1</sup>, Hong-Rak Kim<sup>2</sup>

<sup>1</sup>Research engineer, PGM RF & IIR Seeker R&D Lab, LIG Nex1

<sup>2</sup>Chief research engineer, PGM RF & IIR Seeker R&D Lab, LIG Nex1

### 1. 서론

방위산업에서 영상은 감시/정찰부터 탐지/추적 등 다양한 부분에서 사용된다. 영상획득 장비에서 획득한 영상은 영상처리 장비에 송신되고, 영상처리 장비에서는 영상처리 후 다양한 장비에 영상 및 결과를 송신한다. 이때, 영상은 디지털 및 아날로그로 송신할 수 있다. 디지털 송신의 경우에는 Cameralink/DVI 등의 프로토콜을 사용할 수 있고, 아날로그 송신의 경우에는 RS-170 등의 프로토콜이 있다.

본 연구의 설계는 입력받은 grayscale 영상을 FPGA(field-programmable gate array)를 이용하여 BT.656 프로토콜로 변환한다. FPGA는 하드웨어 상에서 병렬처리를 지원하여 높은 속도로 처리할 수 있다[1]. BT.656 프로토콜로 변환된 영상은 DAC(digital analog converter)에서 RS-170 프로토콜의 아날로그 영상으로 변환되어 출력된다. 출력된 아날로그 영상은 모니터 등을 통해 영상을 전시할 수 있다.

### 2. 본론

본 설계는 720×480 14 bit 영상을 BT.656 프로토콜에 맞추어

영상을 변환한 후 타이밍에 맞추어 출력한다. 720×480 영상은 50 Hz의 출력률을 가지고, BT.656 영상은 NTSC로 29.97 Hz로 출력된다. 두 영상의 출력률이 서로 다르므로, 안정적인 영상 출력을 위해 DDR로 ring buffer를 구현하였다[2]. Fig. 1은 본 설계의 블록 다이어그램을 나타낸 그림이다.

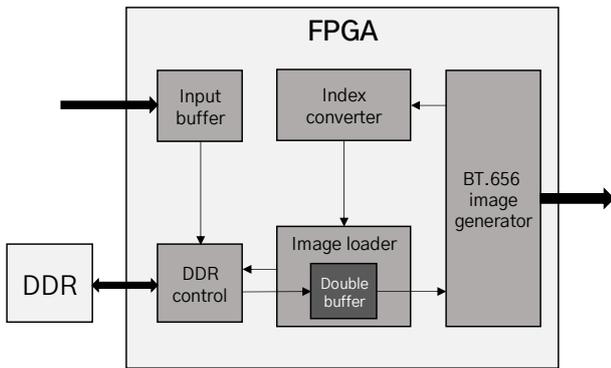


Fig. 1. Design block diagram

### 2.1 ITU-R BT.656 프로토콜

ITU-R BT.656 프로토콜은 압축되지 않은 영상을 스트리밍하기 위한 디지털 영상 프로토콜이다. BT.656 프로토콜은 525/60와 625/50 두 가지 버전의 video system을 가지고 있고, 각 버전의 해상도는 720×486, 720×576이다. 해당 프로토콜은 8 bit 또는 10 bit의 YCbCr 영상 데이터를 27 MHz의 속도로 전송한다. 또한, 영상이 스트리밍된 line 순서로 출력하는 것이 아니라, 홀수 line을 모두 출력한 후 짝수 line을 모두 출력하는 방식을 따른다.

본 설계는 8 bit의 525/60 video system을 적용하였다. 525/60 video system은 한 프레임이 1,716×525 크기의 데이터로 구성되어 있다. 데이터는 horizontal 및 vertical 형식으로 구성되어 있고, HSync, VSync를 사용하지 않고 데이터 형식에 timing code를 추가하여 sync를 구분한다. Fig. 2는 horizontal 데이터 구성을 나타낸 그림이고, Fig. 3는 vertical 데이터 구성을 나타낸 그림이다.

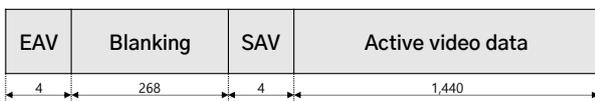


Fig. 2. BT.656 horizontal data structure

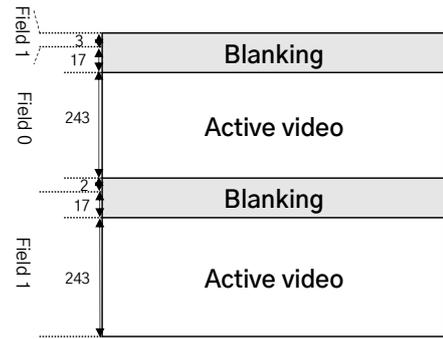


Fig. 3. BT.656 vertical data structure

Horizontal 데이터는 EAV(end of active video), blanking, SAV(start of active video), active video data 네 영역으로 나누어져 있다. SAV와 EAV는 timing code로 현재 라인의 field/blanking 등의 정보를 담고 있다. SAV와 EAV code는 4 byte로 이루어져 있다. 처음 3 byte는 0xFF, 0x00, 0x00으로 고정되어 있고, 마지막 1 byte는 status word로 field/blanking에 따라 계산한 값이다. Status word는 1(MSB), F, V, H, P3, P2, P1, P0(LSB) bit로 구성되어 있다. Table 1은 각 라인의 F, V, H를 나타낸 표이고, 식 (1) - 식 (4)는 P3, P2, P1, P0을 계산하는 수식이다.

Table 1. BT.656 F, V, H

Line number	F	V	H (EAV)	H (SAV)
1 - 3	1	1	1	0
4 - 20	0	1	1	0
21 - 263	0	0	1	0
264 - 265	0	1	1	0
266 - 282	1	1	1	0
283 - 525	1	0	1	0

$$P3 = V \oplus H \tag{1}$$

$$P2 = F \oplus H \tag{2}$$

$$P1 = F \oplus V \tag{3}$$

$$P0 = F \oplus V \oplus H \tag{4}$$

Blanking은 active video 데이터 전송 사이에 들어가는 데이터이다. Horizontal blanking은 YCbCr 영상 데이터 형식을 가지고, Cb, Y, Cr, Y 순서로 전송한다. 이때, Blanking 영역에서 Y는 0x10으로, Cb와 Cr은 0x80으로 출력한다.

Active video data 영역은 blanking 영역과 동일하게 YCbCr 영상 구조를 가지고 Cb, Y, Cr, Y의 순서로 영상을 전송한다. Active video data는 1,440 byte로 구성되어 있으므로, 색이 있는 픽셀은 360 픽셀까지 표현할 수 있고 색이 없는 픽셀은 색차인 Cb와 Cr 값이 의미 없으므로, 하나의 YCbCr 픽셀을(Cb, Y), (Cr, Y) 두 개로 나누어 720픽셀까지 표현할 수 있다.

2.2 DDR control module

본 연구의 설계에는 입력되는 영상을 버퍼링하기 위한 DDR memory가 있다. 해당 DDR memory는 FPGA와 Vivado에서 제공하는 memory interface generator(MIG)로 연결되어 있고, MIG는 FPGA 내부 로직과 AXI4 Interface로 연결되어 있다. 본 설계에서는 DDR control module에 2개의 입출력 포트가 필요하기 때문에, AXI Interconnect IP를 사용하여 MIG에 접근 가능한 포트를 확장하였다. Fig. 4는 DDR control module을 나타낸 그림이다.

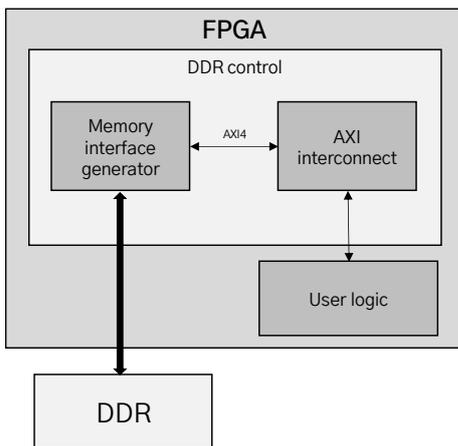


Fig. 4. DDR control module block diagram

2.3 BT.656 영상 프레임 생성

우선, 1에서 525까지의 값을 갖는 line index와 1에서 1716까지의 값을 갖는 data index를 생성한다.

Data index는 기준 클럭(27 MHz)에 맞춰 1씩 증가하고, Line index는 data index가 1716에 도달하였을 때 1씩 증가한다. SAV/EAV 모듈은 line index에 맞춰 status word를 계산하여 code를 생성한 후 이를 blank BT.656 image 모듈로 전송한다.

Blank generator 모듈은 data index를 이용하여 Fig. 1의 프레임을 만든다. SAV/EAV의 status word는 모두 비워 놓고, blanking 영역은 해당 영역에 맞는 값인 0x80과 0x10을 반복하여 데이터를 입력한다. 마지막으로, active video data 영역은 빈 영상을 입력하기 위해 검은색인 0x80과 0x10을 반복하여 데이터를 넣어주었다.

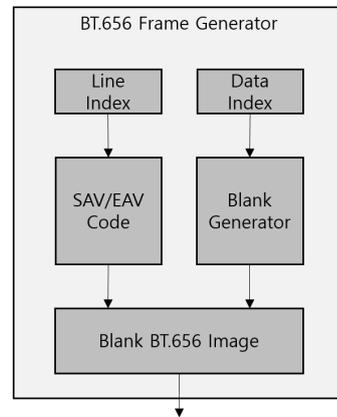


Fig. 5. BT.656 Frame Generator Block Diagram

2.4 Image convert logic

BT.656 frame generator 모듈에선 active video data field만 dummy(검은색)인 BT.656 프로토콜 data가 출력된다. Image convert logic은 active video data field에 입력되는 데이터를 생성한다. 해당 logic은 index converter module, image loader module, grayscale to YCbCr convert 모듈로 구성되어 있다. Index converter module은 기존 영상의 vertical index(1~480)를 BT.656 프로토콜의 Index인 1~525로 변환한다. 원 영상의 index를 A, BT.656의 index를 B, odd/even offset을 O<sub>1</sub>, O<sub>2</sub>라 할 때 index 변환 수식은 식 (5)와 같다.

$$A = (B - O_1) \times 2 + O_2 \tag{5}$$

이때,  $O_1$ 는 field 0일 때 22, field 1일 때 284이고,  $O_2$ 는 field 0일 때 1, field 1일 때 2이다.  $O_1$ 가 각 field의 시작점인 21, 283이 아닌 이유는, 원 영상은 480개 line을 가지고 있지만, BT.656의 active video 영역은 486개 line을 가지고 있어, BT.656 index에서 영상의 맨 윗줄에 해당하는 21, 283 line과 맨 아래 2줄에 해당하는 262, 263, 524, 525 line은 index를 변환하지 않았기 때문이다.

앞서 변환된 index는 image loader module에 입력된다. Image loader module은 입력된 line index에 해당하는 원 영상 line을 DDR로부터 불러온다.

불러온 영상은 0~16383의 값을 갖는 grayscale 영상이고, BT.656 프로토콜의 영상은 YCbCr 영상이다. 해당 image 변환은 grayscale to YCbCr convert module에서 처리한다. Y는 휘도, Cb와 Cr은 색차 성분인데, grayscale에서 색차는 존재하지 않으므로 중간값인 0x80을 사용한다. Y는 휘도이므로 grayscale의 값을 사용하면 된다. 이때 grayscale의 값은 14 bit이고, Y의 값은 8 bit이므로, 본 설계에서는 이를 변환해주기 위해 grayscale의 하위 6 bit를 절삭하여 8 bit로 바꾸었다. 앞에서 언급한 대로 하나의 YCbCr 픽셀은 2개의 (Cb, Y), (Cr, Y) 픽셀로 나누었고, 픽셀값은 data index에 맞추어 출력하였다.

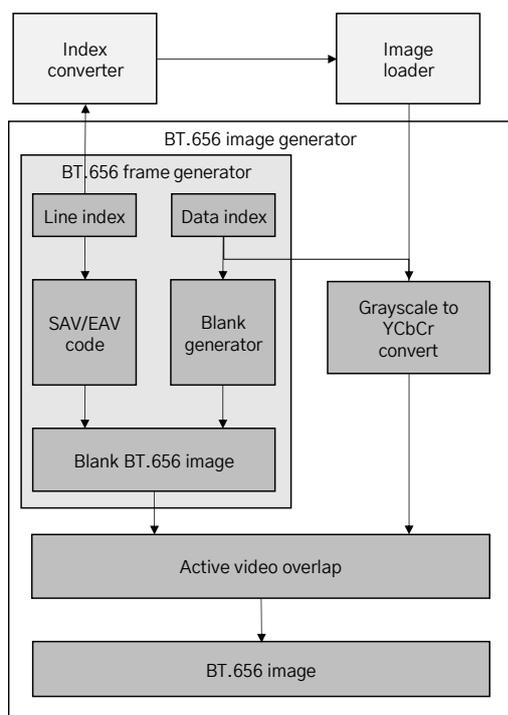


Fig. 6. BT.656 video converter block diagram

## 2.5 BT.656 영상 출력

앞서 생성한 BT.656 영상 프레임과 image convert logic을 통해 생성된 영상 데이터를 합친다. 이때 합치는 방식으로는, line index와 data index를 참조하여 타이밍을 맞추고, BT.656 영상 프레임의 active video data 부분에 생성된 영상 데이터를 덮어씌운다. 이렇게 완성된 데이터를 FPGA에서 출력하고, video encoder와 같은 IC 칩에서 해당 데이터를 수신하여 영상으로 출력한다. Fig. 6는 BT.656 영상 프레임 생성부터 BT.656 영상 출력까지 사용된 module의 block diagram이다.

## 2.6 구현 결과

구현한 설계의 출력을 확인하기 위해 video encoder로 Analog Device 사(社)의 ADV7391을 사용하였다[3]. 해당 IC에서는 BT.656 프로토콜 형식의 영상을 수신하여 Analog video로 변환하여 송신한다. Fig. 7은 analog video를 Analog monitor를 사용하여 출력한 모습이다.



Fig. 7. Analog video output

## 3. 결론

본 연구는 720×480 grayscale 영상을 BT.656 프로토콜로 변환하는 로직을 설계하였다. FPGA를 이용하여 실시간 영상을 입력받아 DDR 메모리에 버퍼링하였고, BT.656 frame generator 및 grayscale to

YCbCr convert 모듈을 설계하여 BT.656 프로토콜 영상을 생성하였다. 위 과정들을 병렬처리로 설계하여 영상 변환의 지연 시간을 최소화하였다. 설계한 결과는 analog monitor를 사용하여 확인하였다.

## 참고문헌

[1] J. Lu and Y. Ding, "A FPGA-based Low-latency Multi-channel Video Network Transmission System Design,"

2018 IEEE International Conference of Safety Produce Informatization (IICPI), 2018, pp. 690-693.

[2] 최용준 and 류정래. "FPGA 기반 실시간 영상 워핑을 위한 영상 캐시," 전자공학회논문지 53.6, 2016, pp. 91-100.

[3] Chen, Jian-Ruei, et al. "Design and realization of a high resolution (640× 480) SWIR image acquisition system," Microsystem technologies 20, 2014, pp. 1583-1595.