



Received: 2026/05/15
Revised: 2026/05/27
Accepted: 2026/06/26
Published: 2026/06/30

***Corresponding Author:**

Hyo-Young Hyun

207, Mabuk-ro, Giheung-gu, Yongin-si, Gyeonggi-do,
16911, Republic of Korea

Tel: +82-31-326-9205

Fax: +82-31-326-9007

E-mail: hyoyoung.hyun@ligdna.com

RF 신호처리를 위한 SoC용 저잡음 전원회로 설계

Low-Noise Power Circuit Design for SoC-Based RF Signal Processing

현효영^{1*}, 김정은², 이주호², 김홍락¹

¹LIG 디펜스&에어로스페이스 초고주파탐색기연구소 수석연구원

²LIG 디펜스&에어로스페이스 초고주파탐색기연구소 선임연구원

Hyo-young Hyun^{1*}, Jung-eun Kim², Joo-ho Lee², Hong-rak Kim¹

¹Chief research engineer, RF Seeker R&D Lab, LIG Defense&Aerospace

²Research engineer, RF Seeker R&D Lab, LIG Defencse&Aerospace

Abstract

본 논문에서는 시스템의 소형화와 효율적인 고속 데이터 처리를 위해 SoC(system on chip)를 적용한 추적 레이더 시스템에서 전원부의 스위칭 노이즈로 인해 SoC 내부의 동적성능(SFDR, SNR)을 직접적으로 저하시켜 시스템의 병목으로 나타나는 현상을 극복하기 위해 AMD-Xilinx의 Zynq Ultrascale+ RFSoC와 TI DSP를 적용한 RF 신호처리보드의 전원부를 스위칭 레귤레이터와 LDO(low drop-out)의 hybrid 구조로 설계를 제안하였다.

In tracking radar systems employing a system-on-chip (SoC) architecture for system miniaturization and high-speed data processing, switching noise in the power supply degrades the dynamic performance of the SoC, constituting a critical system bottleneck. To address this challenge, a power-supply architecture for a radio frequency (RF) signal-processing board incorporating AMD-Xilinx's Zynq Ultrascale+ RFSoC and Texas Instruments' digital signal processor is proposed and implemented. The proposed design adopts a hybrid power-supply structure that combines switching and low drop-out regulators to achieve high power efficiency and low-noise performance.

Keywords

추적 레이더 시스템(Tracking Radar System), 하이브리드 전원 구조(Hybrid Power Architecture), 초저잡음 회로설계(Ultra-Low-Noise Circuit Design), 스위칭 레귤레이터(Switching Regulator), LDO 레귤레이터(Low Drop-Out Regulator)

Acknowledgement

이 논문은 2026년도 한국해군과학기술학회 하계학술대회 발표 논문임

1. 서론

현대의 전장 환경에서 전자전의 고도화와 표적의 저피탐 기술의 발전으로 인해 추적 레이더 시스템은 과거에 비해 복잡하고 가혹한 특성을 보인다. 이러한 환경에서 추적 레이더 시스템은 극미세 신호를 탐지해야 하는 과제에 직면하여 표적이 반사하는 신호의 크기가 작아질수록 수신기의 감도를 결정짓는 신호대잡음비(SNR)의 확보가 무엇보다 중요해졌다.

기존의 추적 레이더 시스템은 고성능 ADC와 이를 제어하고 탐지 추적을 위한 전처리를 수행하는 FPGA(field programmable gate array)로 구성되었던 반면, 최근에는 시스템 소형화와 고속 데이터 처리를 위해 단일 칩으로 구성된 SoC(system on chip) 솔루션을 채택하는 추세이다. SoC는 고속 ADC와 FPGA, 프로세서가 하나의 칩에 통합되어 있어 데이터 처리 효율은 극대화되지만, 고속 디지털 스위칭 노이즈가 SoC의 민감한 아날로그 전원부로 유입되는 전원 무결성(power integrity, PI) 문제가 시스템 성능의 병목 현상으로 나타나고 있다. SoC에 내장된 고속 ADC는 원시 데이터(raw data)를 디지털화하는 첫 번째 관문으로 이때 신호처리보드 내부의 전원부로부터 유입되는 미세한 전원 노이즈는 ADC의 동적성능(SFDR, SNR)을 직접적으로 저하시키며, 이는 최종 신호 처리 단계에서 가짜 표적을 생성하거나 탐지 거리를 감소시키는 원인이 된다.

또한 전원회로에서 발생하는 리플과 노이즈는 ADC의 샘플링 클럭에 위상 잡음을 유입시켜 도플러 해상도를 저하시킨다. 이는 결과적으로 신호 탐지 임계치를 높여 추적 레이더의 성능을 제한하는 핵심적인 방해 요인이 된다.

본 논문에서는 SoC를 적용한 추적 레이더 신호처리보드에서 ADC 성능을 극대화하기 위해 hybrid 구조의 저잡음 전원 공급망 설계를 통해 노이즈를 억제하고 안정적으로 신호대 잡음비를 높이기 위한 전원 설계에 대하여 설명하고 제안한다.

2. 본론

2.1 SoC를 적용한 추적 레이더 시스템의 구성

추적 레이더 시스템은 Fig. 1과 같이 데이터를 획득하는 데이터획득부와 표적을 탐지 추적하고 시스템을 제어하는 운용제어부, 신호처리보드의 프로세서를 포함한 부품에 전원을 공급하는 전원부로 구성된다[1]. 데이터 획득부에서는 수신기로부터 전달되는 아날로그 신호를 디지털로 변환하고 DDC, pulse compression과 같은 전처리 기능을 수행하고 그 결과를 운용제어부로 형태를 변환하여 전달하는 역할을 한다[2].

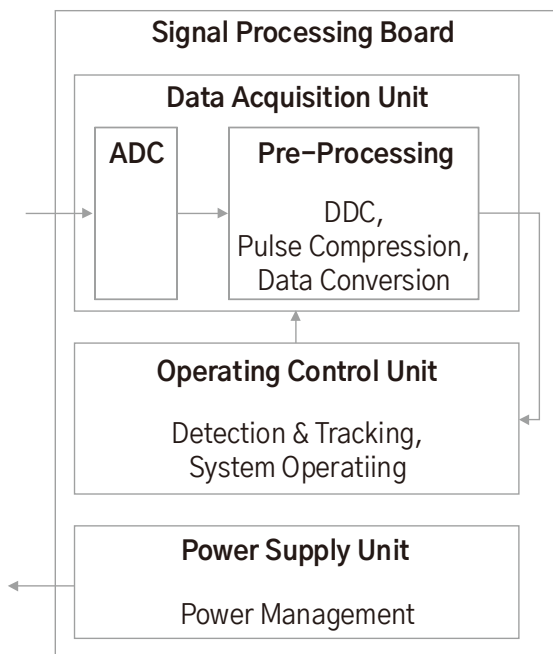


Fig. 1. Functional diagram of signal process unit

기존에 추적 레이더 시스템의 데이터 획득부는 고성능 ADC와 FPGA로 구성되어 FPGA에서 ADC를 제어하고 이를 통해 raw data를 획득하고 이를 전처리한 결과를 실시간으로 DSP에 전달하여 운용제어부에서 탐지 추적을 수행하고 그 결과에 따라 시스템을 제어하는 구성이다[4-6].

이에 반해 SoC가 적용된 시스템에서는 AMD-Xilinx의 Zynq Ultrascale+ RFSoc의 단일칩 솔루션을 이용하여 데이터 획득부를 구성하고 TI DSP를 이용하여 운용제어부가 구성되어 시스템을 소형화하고 데이터 처리 효율을 극대화하는 형태로 구성된다.

2.2 RFSoc 기반 신호처리기와 전원 노이즈

Zynq Ultrascale+ RFSoc는 고속 ADC와 FPGA, 프로세서가 하나의 칩에 통합되어 있어서 데이터 처리 효율은 극대화되지만, 보드를 구동하기 위한 전원 부로부터 유입되는 미세한 전원 노이즈는 RFSoc의 RF data converter 부에서 ADC의 동적 성능을 직접적으로 저하시키며, 이는 최종 신호처리 단계에서 가짜 표적(ghost target)을 생성하거나 탐지거리를 감소시키는 원인이 된다.

특히 RFSoc는 수많은 트랜지스터가 동시에 스위칭하며 발생하는 SSN(simultaneous switching noise)이 전원망을 타고 아날로그 입력단에 간섭을 일으키기 때문에 기존에 별도의 ADC와 FPGA로 구성된 구조보다 훨씬 정밀한 저잡음 전원(low noise power) 설계가 요구된다.

Zynq Ultrascale+ RFSoc의 내부 ADC는 샘플링을 위해 외부의 클럭 제너레이터에서 생성된 클럭을 레퍼런스 클럭으로 사용한다. 이때 전원 노이즈가 클럭 생성회로에 유입되면 샘플링하는 순간 미세하게 흔들리는 지터가 발생하고 이는 주파수 영역에서 위상잡음으로 나타나게 되고, 전원 회로의 스위칭 주파수가 ADC 샘플링 과정에서 혼합(mixing)되면 실제 신호에는 없는 가짜 주파수 성분인 스퍼(spurious)가 나타난다. 또한, 전원 노이즈는 ADC의 전체적인 바닥잡음(noise floor)을 높여서 ADC가 표현할 수 있는 유효비트수인 ENOB(effective number of bits)가 줄어들고 잡음 대비 최대 신호 비율인 SFDR(spurious free dynamic range)이 낮아지는 결과를 초래한다.

따라서 전원부를 설계할 때 저잡음으로 설계하고 ADC 및 클럭 생성부와 디지털 신호처리 영역을 분리하는 설계는 시스템 성능을 위해서 필수적인 요소이다.

2.3 전원 회로 구성

RFSoc를 적용한 추적 레이더 시스템의 전원부는 외부의 5VDC를 입력받아 구동되는 형태이다. 외부로부터 입력받은 전원은 크게 DSP를 구동하는 DSP 전원제어부와 SoC를 구동하는 SoC 전원제어부로 나뉘어진다.

DSP는 2개의 TI사의 TMS320C6678로 구성되고 이를 구동하기 위해서는 다양한 전력 유형, 높은 전력 소비, 엄격한 시간 순서 및 높은 회로 기판 밀도를 고려하여 DSP에 전원을 적절하게 공급하고 전체 신호처리 시스템을 구동하는데 필요한 전원 공급 및 타이밍을 갖춘 전원 관리를 설계하는 것이 중요하다[2]. 이를 위해 DSP 전원부는 SoC와 별도로 분리하여 설계를 적용하였다.

아래 Fig. 2는 추적 레이더 시스템의 공급 전압 생성 흐름도이다. 외부로부터 입력되는 5V는 DSP 전원제어부와 SoC 전원제어부에 별도로 분리되어 공급되고 DSP 전원제어부는 스위칭 레귤레이터 LTM4644를 이용하여 각각의 DSP에 전원을 공급하고 SoC 전원제어부는 외부의 5V를 스위칭 레귤레이터 LTM4671과 LTM4644로 SoC에 필요한 전원을 생성한다[3].

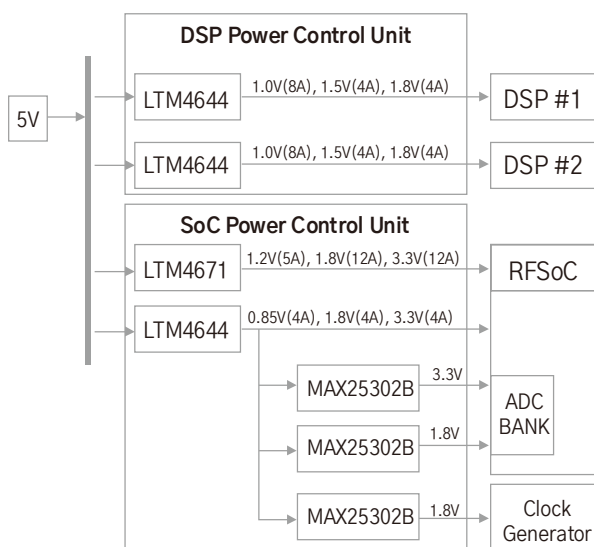


Fig. 2. Flow chart for production of supply voltage

2.4 Hybrid 전원 회로 구성

전원 회로설계에서 스위칭 레귤레이터와 LDO(low drop-out)는 상반된 특성을 갖는다. 스위칭 레귤레이터는 높은 전력 변환 효율을 바탕으로 대전류 공급에 최적화되어 SoC, DSP와 같이 수십 Watts 이상의 전력을 소모하는 전원 회로 설계에 적용되나 인덕터와 스위칭 소자를 사용하는 구조적 특성상 스위칭 주파수 성분에 의한 고주파 노이즈 발생이 불가피하다.

반면 LDO는 반도체 소자를 선형 영역에서 동작시켜 노이즈를 억제하는 방식으로 매우 깨끗한 전원을 제공하며 높은 PSRR(power supply rejection ratio) 특성을 갖는다. 하지만 입출력 전압 차에 비례하여 전력을 열로 방산하므로 SoC 구동에 필요한 대전류를 LDO만으로 공급할 경우 과도한 발열로 인해 시스템 안정성이 저해된다. 따라서 Zynq Ultrascale+ RFSoc를 적용한 RF 신호처리보드에서는 고속 디지털 연산을 위한 고출력 전력과 ADC의 정밀 동작을 위한 저잡음 전원이라는 이중적인 요구사항을 가진다.

이를 극복하기 위해 아래 Fig. 3와 같이 SoC 전원제어부는 hybrid power architecture로 설계하여 스위칭 레귤레이터 LTM4644를 통해 1차적으로 구동 전압을 생성하고 SoC의 RF data converter BANK에 공급하기 위한 전원을 생성하기 위해 고성능 high current low noise LDO인 MAX25302B를 후단에 배치하는 전원 구조를 적용하였다. 이러한 hybrid 전원 구조를 통해서 SoC의 높은 구동 전류를 감당하기에는 효율 및 열관리 측면에서 한계가 있는 LDO로 구성되는 방식과 스위칭 노이즈로 성능 측면에서 한계가 있는 스위칭 레귤레이터로만 구성되는 방식의 단

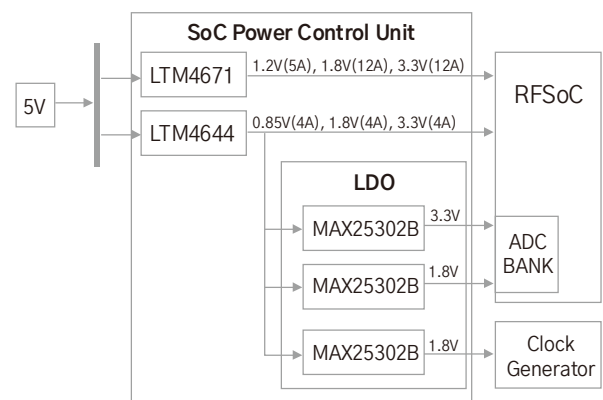


Fig. 3. Hybrid power architecture

점을 보완하였다.

또한, 노이즈에 민감한 ADC 샘플링 레퍼런스 클럭을 생성하는 클럭 제너레이터 구동하기 위한 전원은 LDO(MAX25302B)를 개별적으로 배치하여 이원화 구조를 채택하였다. 이를 통해 클럭 제너레이터에서 발생하는 샘플링 클럭의 순도를 극대화하고 전원 간섭으로 인한 지터 발생을 최소화하였다.

2.5 설계 결과

전원 설계는 DSP 전원부와 SoC 전원부의 전기적 분리뿐만 아니라, 제한된 PCB 면적 내에서 SoC와 DSP와 같은 디지털 신호처리부와 물리적 이격을 통해 상호 간섭을 최소화하는데 주력하였다. 특히, 다양한 요구 전압을 수용하면서도 BOM(bill of materials) 최적화를 통해 실장 부품의 종류를 최소화하였다.

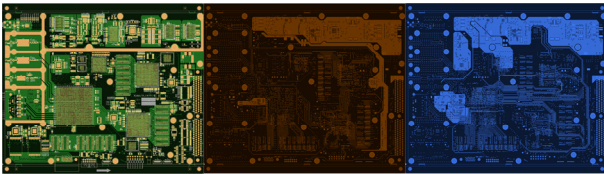


Fig. 4. PCB design result

Fig. 4는 제작된 PCB의 TOP 레이어와 내부 전원 평면(power plane)의 배치를 보여준다. 측정 결과, 본 연구에서 제안한 하이브리드 전원 구조는 고성능 외장 ADC를 개별적으로 적용한 기존 시스템과 대등한 수준의 ADC 동적 성능(dynamic performance)을 확보할 수 있음을 확인하였다.

3. 결론

본 논문에서는 추적 레이더 시스템의 성능을 극대화하기 위해 AMD-Xilinx사의 Zynq Ultrascale+ RFSoC를 적용한 신호처리보드의 저잡음 전원 설계 및 클럭 무결성 확보 방안을 설계하였다. 현대의 저피탐 표적 탐지를 위해서는 미세한 도플러 신호를 분석

할 수 있는 고정밀 신호처리 기술이 필수적이고 이는 데이터 시작점인 ADC의 성능과 직결된다. 따라서 SoC 구동에 필요한 대전류 공급과 아날로그 전원의 정밀도를 동시에 만족시키기 위해 스위칭 레귤레이터와 LDO를 결합한 하이브리드 전원 구조를 설계하여 전력 변환 효율을 유지하면서도 SoC 내부의 ADC로 유입되는 스위칭 노이즈를 효과적으로 차단할 수 있었다. 또한, 외부 클럭 제너레이터에 전용 LDO를 적용하여 샘플링 클럭의 순도를 높여 전원 노이즈로부터 클럭 지터와 위상 잡음을 최소화하는 설계를 구현하였다.

참고문헌

- [1] Jae-Won Lee, Jin-Kyu Choi, Young-Cheol Shin, Soon-Il Hong, Jae-Deok Ryu, Kyoung-Min Kim, Jae-Woong Yi, Se-Hwan An, & Ji-Han Joo, 'Development on a Broadband Signal Processing Unit for Application of Small Millimeter Wave Tracking Radar,' The Transactions of the Korean Institute of Electrical Engineers, VOL. 73, NO. 10, 2024, pp. 1705-1710.
- [2] Jin-Kyu Choi, Chang-Hyun Park, Youn-Jin Kim, Hong-Rak Kim, Jun-Beom Kwon, & Gwang-Hee Kim, 'A Design Study of Signal Processor for Small Tracking Radar,' The Journal of the Institute of Internet, Broadcasting and Communication, VOL. 20, NO. 5, 2020, pp. 71-77.
- [3] Hong-Rak Kim, Man-Hee Lee, Younjin Kim, & Sung-Ho Park, 'Power Circuit Design of Signal Processing Unit for Tracking Radar,' The Journal of the Institute of Internet, Broadcasting and Communication, VOL. 24, NO. 5, 2024, pp. 123-128.
- [4] Peng-peng Hao, Xu-lin Zhou, Yi-Jing Tang, & Yu Xiao, 'Research on Multicore Processor's Architecture Based on TMS320C6678,' Microelectronics & Computer, VOL. 29, NO. 12, 2012, pp. 171-175.
- [5] In-Sung Jeon & Sungtaek Chung, 'Design and Fabrication of Signal Processor for Wideband Digital Receiver Based on Gsps AD Converter,' Journal of KIIT, VOL. 15, NO. 10, 2017, pp. 55-64.
- [6] J. Batlle, J. Martí, P. Ridao, & J. Amat, 'A New FPGA/DSP-Based Parallel Architecture for Real-Time Image Processing,' Real-Time Imaging, VOL. 8, NO. 5, 2002, pp. 345-356.