



Received: 2026/07/07
Revised: 2026/07/20
Accepted: 2026/08/24
Published: 2026/09/30

***Corresponding Author:**

JungEun Kim

Missile System RF & IIR Seeker R&D Lab, LIG D&A, 207,
Mabuk-ro, Giheung-gu, Yongin-si, Gyeonggi-do,
Republic of Korea

Tel: +82-31-525-0302

E-mail: jungeun.kim@ligdna.com

RFSoc를 적용한 추적레이다용 신호처리부 부팅시간 단축을 위한 연구

A Study on Reducing the Boot Time of an RFSoc-Based Signal Processing Unit for Tracking Radar

김정은^{1*}, 현효영², 이주호³, 김홍락²

¹LIG 디펜스&에어로스페이스 선임연구원

²LIG 디펜스&에어로스페이스 수석연구원

³LIG 디펜스&에어로스페이스 연구원

JungEun Kim^{1*}, Hyo Young Hyun², Ju-Ho Lee³, Hong-Rak Kim²

¹Research engineer, LIG Defense&Aerospace

²Chief engineer, LIG Defense&Aerospace

³Research engineer, LIG Defense&Aerospace

Abstract

본 논문에서는 RFSoc를 적용한 추적레이다용 신호처리기의 부팅 구조 설계 방안을 제안한다. 추적레이다 시스템의 특성상 빠른 초기 기동이 요구되므로 효율적인 IC들의 부팅 설계가 필요하다. 따라서 기존 FPGA기반 신호처리기의 로직 구조를 유지한 상태에서 RFSoc를 적용하기 위하여 본 연구에서는 RFSoc의 부팅 절차를 분석한 후 Sub.FPGA를 추가하였다.

In this paper, we propose a boot-structure design methodology for a tracking-radar signal processor implemented on an RFSoc. Because a tracking-radar system requires extremely rapid initial start-up, an efficient boot design for the constituent ICs is essential. Accordingly, while preserving the existing FPGA-based signal-processing logic, we first analyze the RFSoc boot procedure and then introduce an auxiliary sub-FPGA to enable the RFSoc-based implementation.

Keywords

추적레이다(Tracking Radar),
RFSoc 부팅(RFSoc Boot),
DSP(Digital Signal Processing),
신호처리부(Signal-Processing Unit),
부팅순서(Boot Sequence)

Acknowledgement

이 논문은 2026년도 한국해군과학기술학회
하계학술대회 발표 논문임.

1. 서론

RFSoc(radio-frequency system-on-chip)는 FPGA(field programmable gate array)와 고속 ADC·DAC를 하나의 실리콘에 집적한 디바이스로서 일반적으로 통신, 레이더, 의료기기 등 다양한 분야에서 활용 및 연구가 이루어지고 있다[1]. 본 연구에서는 추적레이다의 크기 및 전력 소모를 감소시키기 위해 신호처리부 내 신호변환 소자와 FPGA를 RFSoc로 통합하면서, 그 과정에서 발생하는 부팅시간 지연을 해결하기 위한 방법을 연구하였다. 추적레이다 시스템은 특성상 목표물의 위치, 속도, 가속도 등 실시간으로 추정해야 하므로 빠른 초기 기동은 레이더 운영 효율을 좌우하는 핵심요소이다. 그러나 RFSoc 기반 시스템은 PS(processing system) 초기화, PL(programmable logic) 비트스트림 로드, RF-ADC/DAC 설정 등 복합적인 부팅 절차 때문에 초기 기동 시간이 수백 ms에 달한다. 이와 같은 부팅 지연은 레이더가 요구하는 실시간 응답성을 크게 저하한다. 또한 기존 FPGA-DSP 기반으로 구현된 신호처리부의 로직은 이미 안정된 동작이 검증되어 실제로 적용하고 있다. 하지만 기존의 신호처리부 로직을 RFSoc에 맞추는 경우, 설계/검증 비용과 시간 등 다양한 부분에 있어 부담이 증가할 것으로 판단된다. 따라서 기존 로직을 그대로 적용하면서도 중요한 파라미터의 하나인 부팅시

간을 확보하는 설계가 반드시 필요하다. 본 논문에서는 검증된 로직이 탑재된 RFSoc에서 부팅시간을 단축하는 방법에 대한 연구를 진행하였다. 즉 신호처리부 FPGA-DSP 기반으로 개발된 신호처리부의 로직을 RFSoc-DSP 환경에 재적용하기 위해 보조FPGA를 추가한 설계로 부팅시간을 단축하였다.

2. 본론

2.1 FPGA기반 추적레이다 시스템 신호처리부 구성

추적레이다 신호처리부는 표적을 탐지·추적하고 시스템을 제어하는 운용제어부와 탐지한 정보를 획득하는 데이터 획득부로 구성된다. 탐지된 아날로그 신호는 데이터 획득부를 통하여 디지털로 변환하고(ADC), FPGA를 통하여 펄스압축, DDC 등 데이터 전처리 후 운용제어부로 전달하게 된다[2]. 운용제어부는 TI DSP를 적용하여 설계하였다. 적용된 DSP는 Fig. 1과 같이 전원 인가 및 신호 전달 등 부팅 타이밍이 중요하다.

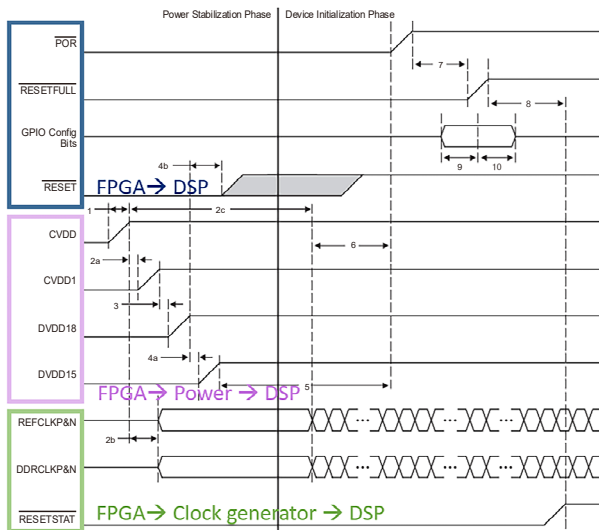


Fig. 1. Boot setup core IO power sequencing of DSP[3]

이를 바탕으로 Fig. 2와 같이 각 연결된 메모리의 데이터를 이용하여 FPGA를 부팅한 후, 운용제어부인 DSP를 부팅하는 순서로 설계하였다.

본 설계에 따라 구현된 신호처리부의 실제 부팅 타이밍은 Fig. 3과 같다. Power on부터 FPGA-DSP 부팅 시간까지 000 ms이다. 이는 추적레이다 신호처

리부의 적합한 부팅시간인 000 ms 이하로 세팅되었다는 것을 확인할 수 있다.

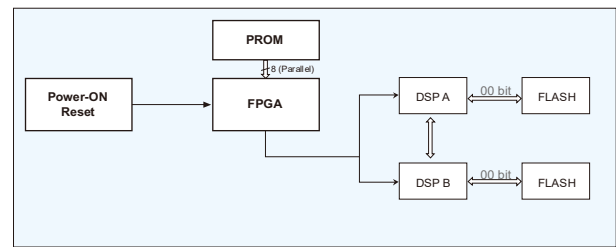


Fig. 2. Boot sequence of the FPGA-based signal-processing unit

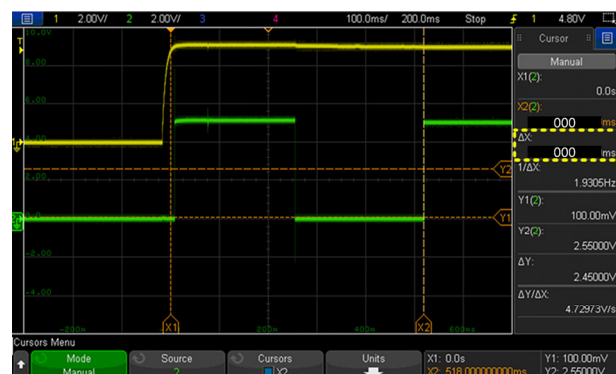


Fig. 3. Boot time result of the FPGA-based signal-processing unit

이와 같이 FPGA-DSP기반의 추적레이다 신호처리부를 설계하였고, 검증을 통하여 설계된 로직의 적합성을 확인하였다. 다음으로 검증된 로직을 사용하여 RFSoc-DSP를 설계해 보았다.

2.2 RFSoc기반 추적레이다 시스템 신호처리부 구성

고속 ADC와 DAC, 그리고 FPGA를 하나로 통합하기 위해, Zynq Ultrascale+ RFSoc를 레이다추적용 탐색기 신호처리부에 적용해 보았다[4]. 이전 신호처리부에서 확인 및 검증되었던 로직을 함께 적용하기 위하여, FPGA 기반 신호처리부에서 사용되었던 DSP는 동일하게 사용하였다. 추적레이다 시스템은 초기 구동 시간이 중요하기 때문에 RFSoc와 DSP를 적용한 신호처리부의 부팅시간을 Fig. 4와 같이 예측해 보았다.

각 소자의 데이터시트에 따르면 DSP의 부팅은 RFSoc 부팅 및 셋업이 완료된 후 이어서 진행되게 된다. 이때, 부팅시간을 예측한 결과 000 ms가 소요된

다. 이상적인 스펙에서도 추적레이다에서 요구하는 신호처리부의 부팅 시간에 만족하지 못하는 것을 확인하였다. 따라서 이를 개선하기 위하여 DSP부팅용 서브FPGA를 적용한 신호처리부를 설계하였다.

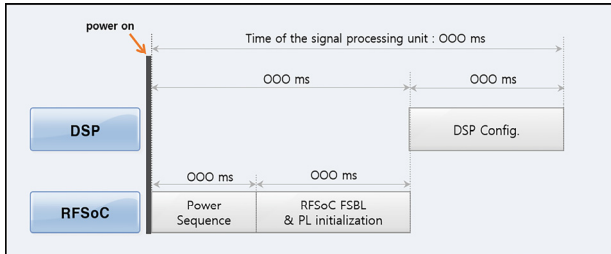


Fig. 4. Boot time of the RFSoc-based signal-processing unit

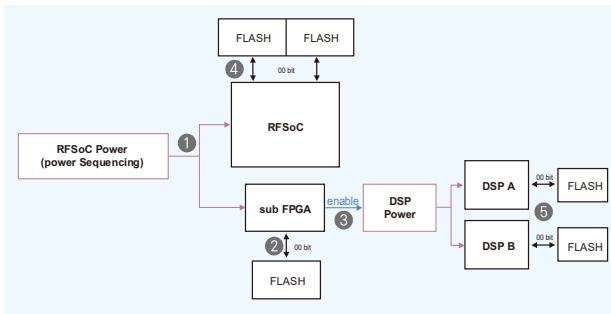


Fig. 5. Boot sequence of the RFSoc-based signal-processing unit with sub.FPGA

Fig. 5는 DSP부팅용 서브FPGA를 적용한 부팅 및 초기화 순서도이다. RFSoc의 초기화와 DSP의 부팅/초기화를 병렬로 진행시키기 위하여 서브FPGA를 추가하였다. RFSoc와 서브FPGA에 동시 5V전원을 인가하면, 서브FPGA Flash 메모리에 있는 데이터를 적용하여 DSP를 부팅시킬 준비를 하는 동안 RFSoc의 전원 시퀀스가 동작되며, 전원 인가 완료 시 초기화를 시작한다. RFSoc가 초기화되는 동안 FPGA의 부팅이 완료되었을 때, DSP 부팅 및 초기화를 진행한다. 이 과정을 통하여 추적레이다용 신호처리부의 부팅 및 초기 세팅이 완료된다. 이 시퀀스에 의한 부팅 타임딩도 예측해 보았다.

Fig. 6는 Fig. 5의 순서도를 각 소자의 동작 및 시간으로 표현한 것이다. 이때, DSP의 부팅 시퀀스에 따라 RFSoc의 최종 부팅 및 초기화가 완료된 후에 DSP 셋업이 완료되어야 두 IC가 연결될 수 있다. 따라서 DSP의 최종 완료시간을 늘리기 위하여 00 ms 정도

강제지연시간을 부여해준다. 최종적으로 RFSoc와 DSP가 함께 세팅 완료된 예측 시간은 총 000 ms로 추적레이다용 신호처리부의 조건에 만족하는 것을 확인할 수 있었다.

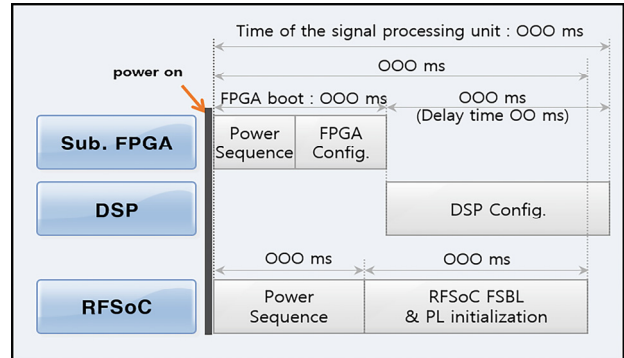


Fig. 6. Boot time of the RFSoc-based signal-processing unit with Sub.FPGA

위 배경을 바탕으로 실제 추적레이다용 신호처리부를 제작한 후에 오실로스코프를 이용하여 부팅시간을 측정해보았다. Fig. 7에서 보는 것과 같이 전원이 인가된 시점을 트리거로 잡았고, 그 지점과 DSP의 기본 세팅이 완료된 시점을 측정하였다. 그 결과 000 ms로 설계 값보다 0 ms가 추가되었지만, 000 ms 이하로 추적레이다용 신호처리부 조건에는 만족하는 것을 확인할 수 있었다.

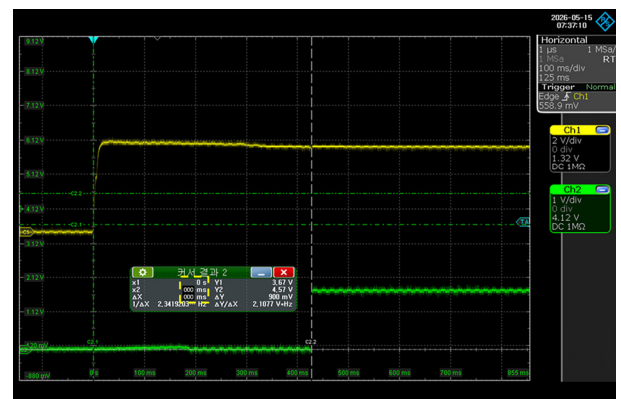


Fig. 7. Boot time result of the RFSoc-based signal-processing unit with sub.FPGA

3. 결론

본 논문에서는 추적레이다 시스템의 소형화를 위해 AMD-Xilinx사의 Zynq Ultrascale+ RFSoc를

적용한 신호처리부를 구현하였다. 이때, FPGA기반의 추적레이다용 신호처리부 부팅특성을 분석하여 반영하였고, 실제하드웨어 구현을 통하여 검증하였다. 또한 부팅 지연을 해소하기 위해 DSP부팅 전용 서브 FPGA를 추가하였다.

전원 인가와 동시에 RFSoc와 서브FPGA가 동작을 시작하고, RFSoc 초기화가 진행되는 동안 서브FPGA는 DSP 부팅을 위한 준비(flash 로드)를 수행한다. 두 장치의 초기화·부팅을 병렬로 진행함으로써 최종 부팅 시간을 000 ms로 단축하였다. 제작된 프로토타입을 오실로스코프로 검증한 결과, 전체 부팅 시간은 000 ms로 설계 값보다 0 ms만 초과했으며 여전히 000 ms 이하라는 레이더 시스템의 요구 조건을 만족하였다.

본 연구를 통해 RFSoc와 기존 DSP 로직을 병행하는 효율적인 부팅 구조가 실제 레이더 시스템에 적용가능함을 입증하였다. 기존에 검증된 FPGA-DSP 로직을 그대로 재사용함으로써 설계·검증 비용을 최소화하고, RFSoc가 제공하는 전력·면적 절감 혜택을

그대로 취할 수 있다는 강점이 있다.

향후 RFSoc의 기준에 맞추어 PS단의 로직을 발전시킨다면 더욱 소형화된 추적레이다용 신호처리부를 만들 수 있을 것으로 기대된다.

참고문헌

- [1] Anil K. Maini, Handbook of Defence Electronics and Optronics: Fundamentals, Technologies and Systems, John Wiley & Sons, 2018.
- [2] Jin-Kyu Choi, Chang-Hyun Park, Youn-Jin Kim, Hong-Rak Kim, Jun-Beom Kwon, & Gwang-Hee Kim, 'A Design Study of Signal Processor for Small Tracking Radar,' The Journal of the Institute of Internet, Broadcasting and Communication, VOL. 20, NO. 5, 2020, pp. 71-77.
- [3] Texas Instruments, TMS320C6678 Multicore Fixed and Floating-Point Digital Signal Processor Datasheet, SPRS691E, 2010.
- [4] Gyuwon Lee, 'RFSoc-Based Signal Processor Design for Compact Radar System,' The Journal of the Institute of Internet, Broadcasting and Communication, VOL. 25, NO. 1, 2025, pp. 253-260.